

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS OF FORMING GATE OXIDE FILMS IN INTEGRATED CIRCUIT
DEVICES USING WET OR DRY OXIDIZATION PROCESSES WITH REDUCED
CHLORIDE

July 30, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

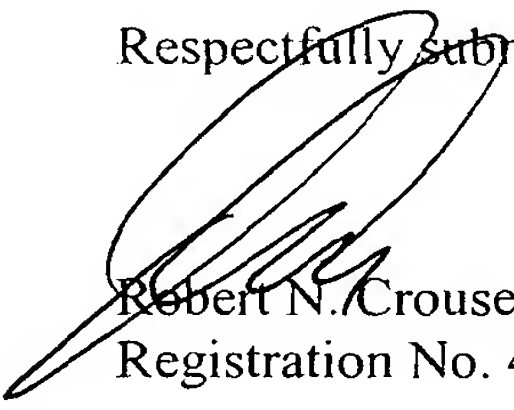
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2002-0046611, filed August 7, 2002, 2002.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

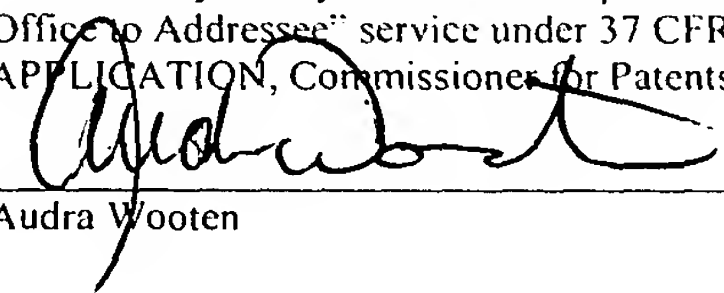
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353596747 US

Date of Deposit: July 30, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post
Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT
APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Audra Wooten

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2002년 제 46611 호
Application Number PATENT-2002-0046611

출원 년 월 일 : 2002년 08월 07일
Date of Application AUG 07, 2002

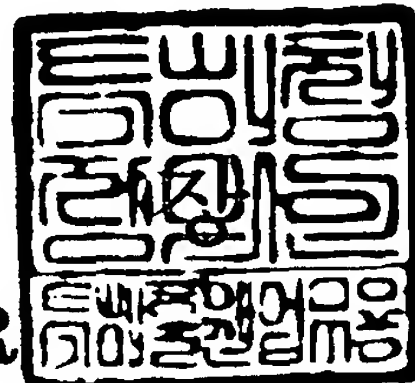
출원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 02 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.07
【발명의 명칭】	반도체 장치의 게이트 산화막 형성방법
【발명의 영문명칭】	Method of forming gate oxide layer in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이공수
【성명의 영문표기】	LEE, Kong Soo
【주민등록번호】	710512-1030920
【우편번호】	445-974
【주소】	경기도 화성군 태안읍 병점리 한신아파트 104-1305
【국적】	KR
【발명자】	
【성명의 국문표기】	한재종
【성명의 영문표기】	HAN, Jae Jong
【주민등록번호】	631010-1951613
【우편번호】	137-030
【주소】	서울특별시 서초구 잠원동 58-24 신반포11차아파트 323-1004
【국적】	KR
【발명자】	
【성명의 국문표기】	김성의
【성명의 영문표기】	KIM, Sung Eui



1020020046611

출력 일자: 2002/9/3

【주민등록번호】	680409-1951613
【우편번호】	442-747
【주소】	경기도 수원시 팔달구 영통동 황골마을신명아파트 204-906
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	26 항 941,000 원
【합계】	983,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 장치의 게이트 산화막 형성방법이 개시되어 있다. 트렌치의 내벽에 라이너가 형성된 트렌치 소자분리 영역에 의해 활성 영역이 한정된 반도체 기판 상에 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정으로 게이트 산화막을 형성한다. 그런 다음, 염소를 포함하는 제2 가스 분위기에서 게이트 산화막을 어닐링한다. 염소를 포함하지 않는 산화 공정을 통해 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 것을 방지하여 유효 채널 폭을 증가시킬 수 있다. 또한, 염소를 포함한 어닐링 공정으로 게이트 산화막의 품질을 향상시킬 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체 장치의 게이트 산화막 형성방법{Method of forming gate oxide layer in semiconductor device}

【도면의 간단한 설명】

도 1은 게이트 산화막의 형성방법에 따른 셀 트랜지스터의 포화 전류 값을 나타내는 그래프이다.

도 2는 염산 산화법의 적용시 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 현상을 설명하기 위한 개략도이다.

도 3은 산화 방법에 따른 산화막의 성장률을 나타낸 그래프이다.

도 4a 내지 도 4e는 본 발명의 제1 실시예에 의한 반도체 장치의 게이트 산화막 형성방법을 설명하기 위한 단면도들이다.

도 5a 내지 도 5d는 본 발명의 제2 실시예에 의한 반도체 장치의 듀얼-게이트 산화막 형성방법을 설명하기 위한 단면도들이다.

도 6a는 종래 방법에 의한 듀얼-게이트 산화막 형성방법에 있어서, STI 영역의 프로파일을 나타낸 단면도이다.

도 6b는 본 발명에 의한 듀얼-게이트 산화막 형성방법에 있어서, STI 영역의 프로파일을 나타낸 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 반도체 기판 102 : 패드 산화막

104 : 질화막 106, 206 : 트렌치

108, 208 : 트렌치 내벽산화막 110, 210 : 질화막 라이너

112 : 트렌치 매립 산화막 114, 214 : STI 영역

115, 215 : 활성 영역 116, 216, 220 : 게이트 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 장치의 제조방법에 관한 것으로, 보다 상세하게는 라이너(liner)가 형성된 셀로우 트렌치 소자분리(shallow trench isolation; STI) 구조의 반도체 장치에 있어서, 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 것을 방지할 수 있는 게이트 산화막 형성방법에 관한 것이다.

<15> 초고집적 반도체 장치의 소자분리 구조로 셀로우 트렌치 소자분리(이하 "STI"라 한다) 구조가 각광받고 있다. STI 공정에 의하면, 실리콘 기판 상에 패드 산화막 및 질화막을 차례로 형성한 후, 상기 질화막을 패터닝한다. 이어서, 패터닝된 질화막을 식각 마스크로 이용하여 상기 기판을 소정 깊이로 식각하여 트렌치를 형성한다. 상기 트렌치를 매립하도록 산화막을 증착한 후, 에치백(etch back) 또는 화학 기계적 연마(chemical mechanical polishing; CMP) 방법을 통해 상기 트렌치의 내부에만 산화막을 남김으로써 STI 영역을 형성한다.

<16> STI 공정에서는, 트렌치를 형성하기 위한 식각 공정에서 발생하는 실리콘 손상(damage)을 보상하기 위하여 트렌치의 내벽을 산화시켜 얇은 열산화막을 형성한

다음, 트렌치를 매립하는 산화막을 증착한다. 그러나, 게이트 산화막 형성과 같은 후속 공정에서의 열다발(heat budget)에 의해 상기 트렌치 매립 산화막의 부피가 팽창하여 기판 내에 실리콘 전위(dislocation)를 유발하는 문제가 발생한다.

<17> 또한, 트렌치 식각 마스크로 사용되는 질화막을 습식 식각 공정으로 제거할 때 활성 영역과 STI 영역과의 표면 경계에서 덴트(dent)가 발생하게 되고, 이로 인해 STI 영역의 상부 코너, 즉 활성 영역의 엣지에서 게이트 산화막이 얇아지는 현상이 발생한다. 이러한 게이트 산화막의 얇아짐(thinning) 현상은 활성 영역의 엣지에 강한 전계를 집중시켜 역방향 협폭 효과(inverse narrow width effect)를 유발시킬 뿐만 아니라, 게이트 산화막의 신뢰성을 저하시킨다. 여기서, 역방향 협폭 효과란 트랜지스터의 채널 폭이 감소함에 따라 문턱 전압이 감소하는 현상을 의미한다.

<18> 이에 따라, 활성 영역의 엣지에서 게이트 산화막이 얇아지는 것을 방지하고 후속하는 산화 공정에서 산소(O_2)가 트렌치 내벽 산화막으로 침투하여 트렌치의 내벽을 추가 산화시키는 것을 방지하기 위하여 트렌치의 내벽에 얇은 질화막 라이너를 형성하는 방법이 제안되었다.

<19> 일반적으로 실리콘을 산화시키면 부피 팽창이 일어나게 되는데, 트렌치 내부를 산화물로 채운 상태에서 트렌치 내벽 산화막에 대한 산화가 진행된다면 산화막의 부피 팽창이 일어나 반도체 기판에 스트레스를 유발하여 실리콘 전위 현상이 일어나게 된다. 이러한 실리콘 전위 현상은 전자를 유출시키는 경로가 되어 누설전류의 원인이 된다. 따라서, 질화막 라이너는 후속 산화 공정에서 트렌치 매립 절연막의 부피 팽창에 의한 스트레스를 흡수하고 산소가 트렌치 내벽 산화막으로 침투하는 것을 방지함으로써, 실리콘 전위 현상의 유발을 억제하고 누설 전류의 원인을 제거하는 역할을 한다.

<20> 한편, 반도체 장치의 성능을 향상시키기 위하여 게이트 산화막을 영역 별로 용도에 맞게 여러 가지 두께로 형성하는 다중(multiple) 게이트 산화막 공정이 널리 사용되고 있다. 예를 들어, SRAM 장치에서는 저 전력, 고 스피드의 특성을 만족시키기 위하여 셀 영역의 게이트 산화막은 얇게 형성하는 반면, 입출력(I/O) 단자의 게이트 산화막은 두껍게 형성하는 듀얼-게이트 산화막(dual gate oxide layer) 공정이 일반화되고 있다. 최근에는 DRAM 장치에서도 셀 영역의 게이트 산화막은 두껍게 형성하고 주변 회로 영역의 게이트 산화막 두께는 용도에 맞게 얇게 형성하는 듀얼-게이트 산화막 공정을 적용하고 있다. 이 경우, 셀 영역의 게이트 산화막 두께 증가에 의해 셀 트랜지스터의 문턱 전압을 보상할 수 있으므로, 채널 이온주입 도즈를 감소시켜 스테틱 리프레쉬(static refresh)를 개선시키고 게이트 산화막의 품질을 향상시킬 수 있다.

<21> 이러한 다중 게이트 산화막 공정은 습식 식각 방법을 이용하거나, 불소(F)나 질소(N)를 이온주입하여 산화 속도를 변화시키는 방법을 이용하는 것이 일반적이다. 습식 식각 방법을 이용하는 종래의 듀얼-게이트 산화막 공정에 의하면, 반도체 기판 상에 제1 게이트 산화막을 형성한 후, 사진 공정 및 습식 식각 공정을 통해 소정 영역의 제1 게이트 산화막을 제거한다. 그런 다음, 기판의 전면에 제2 게이트 산화막을 성장시켜 제1 영역에는 두꺼운 게이트 산화막을 형성하고 제2 영역에는 얇은 게이트 산화막을 형성한다.

<22> 통상적으로, 게이트 산화막은 O_2 가스만을 이용하는 건식 산화법(dry oxidation), O_2/HCl 가스를 이용하는 염산 산화법, 또는 H_2/O_2 가스나 $H_2O(g)$ 를 이용하는 습식 산화법(wet oxidation)에 의해 형성한다. 건식 산화법이나 염산 산화법에 의해 성장되는 산화막에는 미세기공(micropore)이나 보이드(void)와 같은 결함이 존재하는 것으로 알려져 있다. 염산 산화법은 실리콘 산화막 내의 알칼리 금속 이온을 중화 또는 게터링시키고

채널 이동도(mobility) 및 단기 신뢰성 지표인 타임 제로 절연 파괴(time-zero dielectric breakdown; TZDB) 특성을 향상시키는 장점을 갖는다. 습식 산화법에 의해 성장되는 산화막은 미세기공이나 보이드와 같은 결함이 거의 없으며, 장기 신뢰성 지표인 경시 절연 파괴(time dependent dielectric breakdown; TDDb) 특성이 우수하다는 장점을 갖는다. 따라서, 신뢰성 측면에서 게이트 산화막은 염산 산화법이나 습식 산화법으로 형성하는 것이 바람직하며, 습식 산화법은 산화막의 성장률이 빠르기 때문에 60Å 이하의 얇은 게이트 산화막이 요구되는 초고집적 반도체 장치에서는 염산 산화법으로 게이트 산화막을 형성하는 것이 일반적이다.

<23> 그러나, 트렌치의 내벽에 질화막 라이너가 형성된 STI 구조에서 염산 산화법으로 게이트 산화막을 형성할 경우, STI 영역의 상부 코너, 즉, 활성 영역의 엣지에서 게이트 산화막의 두께가 비정상적으로 두꺼워지는 현상이 발생한다. 그 결과, 트랜지스터의 게이트 전극에 문턱 전압을 인가하였을 때 전류의 경로로 작용하는 유효 채널 폭(effective channel width)이 감소하게 되고, 이로 인해 포화 전류(I_{dsat})가 감소하여 동작 속도를 저하시키게 된다.

<24> 예를 들어, 0.126 μ m의 최소 형상 사이즈를 갖는 반도체 장치에 대해 듀얼-게이트 산화막 공정을 적용하는 경우, 도 1에 도시한 바와 같이, 제1 게이트 산화막을 염산 산화법(○참조)으로 형성할 때 1.4V의 문턱 전압에서 습식 산화법(●참조)에 비해 I_{dsat} 값이 30% 이상 감소함을 알 수 있다.

<25> 트렌치의 내벽에 질화막 라이너가 형성된 STI 구조에서 염산 산화법으로 게이트 산화막을 형성할 때 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 이유는 다음과 같다.

- <26> (1) 질화막은 실리콘 기판 상에서 인장 변형력(tensile stress)을 갖는다. 도 2를 참조하면, 질화막 라이너(NL)의 인장 변형력(T.S)은 종방향으로 질화막을 늘이려는 힘으로 작용하게 된다. 이러한 질화막 라이너(NL)의 인장 변형력(T.S)은 트렌치 내벽 산화막(TIO)에 전달되는데, 종방향으로 늘어나려는 힘이 동일 부피의 트렌치 내벽 산화막(TIO)에 대해 횡방향으로 줄어드는 압축 변형력(compressive stress; C.S)으로 작용하게 된다.
- <27> (2) 도 3은 850℃의 산화 온도에서 산화 방법에 따른 산화막의 성장률을 나타낸 그래프로서, 건식 산화법(○)에 비해 염산 산화법(□)의 산화막 성장률이 커짐을 알 수 있다. 또한, 염산 산화법(□)은 약 40Å의 두께를 기준으로 성장률이 급격히 둔화되는데, 이것은 습식 산화법(△)이 선형적인 산화 곡선을 나타내는 것과는 매우 대조적이다. 즉, 염산 산화법(□)은 건식 산화법(○) 및 습식 산화법(△)에 비해 확산이 제한되는 공정(diffusion limited process)임을 알 수 있다. 이러한 확산 제한 공정은 산화막이 갖는 스트레스에 의하여 성장률이 변화하게 된다. 즉, 도 2에 도시한 바와 같이 질화막 라이너(NL)에 의해 트렌치 내벽 산화막(TIO)에 횡방향으로 압축 변형력(C.S)이 가해지면, 산소(O₂) 뿐만 아니라 HCl의 확산도 억제되어 STI 영역의 상부 코너 및 활성 영역의 엣지 쪽으로 HCl의 농도가 국부적으로 증가하게 된다. 이와 같이 HCl의 농도가 증가하면, 도 3에 도시한 바와 같이 산화막의 성장률이 증가하여 산화막의 두께가 두꺼워지게 된다.
- <28> 일본특개평 11-145132호에는 염소 가스 분위기에서 반도체 기판을 전처리하고 산소 가스 분위기에서 게이트 산화막을 형성한 후, 염소 가스 분위기에서 상기 게이트 산화막을 후처리하는 방법이 개시되어 있다. 일본특개형 7-169761호에는 수소 가스 분위기에서 반도체 기판을 전처리하고 습식 산화 공정으로 게이트 산화막을 형성한 후, 불활성

가스 분위기에서 게이트 산화막을 후처리하는 방법이 개시되어 있다. 대한민국 공개특허 제2002-0009213호에는 듀얼-게이트 산화막 공정에서 제1 및 제2 게이트 산화막이 형성된 반도체 기판을 HCl 가스로 어닐링하는 방법이 개시되어 있다. 상기 방법들은 염소를 포함하는 가스 분위기에서 게이트 산화막을 어닐링하여 양호한 품질의 게이트 산화막을 구현하고자 하는 것으로, 질화막 라이너를 사용하는 STI 구조에서 상기 질화막 라이너에 의해 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 현상을 개선하는 방법에 대해서는 전혀 언급하지 못하고 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명의 일 목적은 라이너가 형성된 STI 구조의 반도체 장치에 있어서, 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 것을 방지할 수 있는 게이트 산화막 형성방법을 제공하는데 있다.

<30> 본 발명의 다른 목적은 다중 게이트 산화막을 갖는 반도체 장치에 있어서, 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 것을 방지할 수 있는 반도체 장치의 게이트 산화막 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<31> 상술한 일 목적을 달성하기 위하여 본 발명은, 트렌치의 내벽에 라이너가 형성된 트렌치 소자분리 영역에 의해 활성 영역이 한정된 반도체 기판 상에 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정으로 게이트 산화막을 형성하는 단계; 및 염소를 포함하는 제2 가스 분위기에서 상기 게이트 산화막을 어닐링하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법을 제공한다.

- <32> 바람직하게는, 상기 제1 가스는 산소(O_2) 가스, 산소(O_2)/질소(N_2) 가스, 산소(O_2)/나이트로스 옥사이드(N_2O) 가스 및 산소(O_2)/나이트릭 옥사이드(NO) 가스의 군에서 선택된 어느 하나이거나, 수소(H_2)/산소(O_2) 가스 및 $H_2O(g)$ 중의 어느 하나이다.
- <33> 상기 게이트 산화막을 형성하는 단계에서, 상기 활성 영역의 중앙부 대 엣지부의 게이트 산화막 두께의 비율이 1:1 ~ 1:1.5가 되도록 산화 공정을 진행하는 것이 바람직하다.
- <34> 바람직하게는, 상기 제2 가스는 HCl , Cl_2 , C_2HCl_3 , CH_2Cl_2 및 $C_2H_3Cl_3$ 의 군에서 선택된 어느 하나이다. 상기 어닐링은 로(furnace) 열처리 또는 급속 열처리(rapid thermal annealing; RTA)로 수행된다.
- <35> 상술한 다른 목적을 달성하기 위하여 본 발명은, 트렌치의 내벽에 라이너가 형성된 트렌치 소자분리 영역에 의해 활성 영역이 정의된 반도체 기판 상에 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정으로 제1 두께의 제1 게이트 산화막을 형성하는 단계; 염소를 포함하는 제2 가스 분위기에서 상기 제1 게이트 산화막을 어닐링하는 단계; 상기 기판 상에 얇은 게이트 산화막이 요구되는 제1 영역을 노출시키는 패터를 형성하는 단계; 상기 패터를 식각 마스크로 이용하여 상기 제1 영역의 제1 게이트 산화막을 제거하는 단계; 상기 패터를 제거하는 단계; 및 상기 기판의 전면에서 제3 가스 분위기의 산화 공정으로 상기 제1 두께보다 작은 제2 두께의 제2 게이트 산화막을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법을 제공한다.

- <36> 필요에 따라, 염소를 포함하지 않는 제3 가스 분위기에서 제2 게이트 산화막을 형성한 후, 염소를 포함하는 제4 가스 분위기에서 상기 제2 게이트 산화막을 어닐링할 수 있다.
- <37> 본 발명에 의하면, 트렌치의 내벽에 라이너가 형성되는 STI 구조를 갖는 반도체 장치의 게이트 산화막을 염소(Cl)를 포함하지 않는 가스 분위기, 즉 건식 산화법이나 습식 산화법으로 형성함으로써, 활성 영역의 중앙부 대 엣지부의 게이트 산화막 두께 비율을 감소시킨다. 즉, 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 것을 방지하여 유효 채널 폭을 증가시킴으로써, 포화 전류를 증가시킬 수 있다.
- <38> 또한, 건식 또는 습식 산화법으로 형성된 게이트 산화막을 염소를 포함한 가스 분위기에서 어닐링함으로써, TDDB 특성 및 TZDB 특성이 모두 우수한 게이트 산화막을 구현한다. 또한, 상기 어닐링에 의해 게이트 산화막과 실리콘 기판과의 계면 또는 게이트 산화막 내에 존재하는 불완전한 결합(dangling bond)들이 염소와 결합됨으로써, 게이트 산화막 내의 표면 결합 및 전위 등을 복구시키고 누설 전류를 유발시키는 중금속을 제거하여 게이트 산화막의 품질을 향상시킬 수 있다.
- <39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <40> 도 4a 내지 도 4e는 본 발명의 제1 실시예에 의한 반도체 장치의 게이트 산화막 형성방법을 설명하기 위한 단면도들이다.

- <41> 도 4a를 참조하면, 실리콘과 같은 반도체 기판(100) 상에 열산화 공정으로 기판의 스트레스를 완화시키기 위한 패드 산화막을 형성한 후, 상기 패드 산화막 상에 저압 화학 기상 증착(low pressure chemical vapor deposition; LPCVD) 방법으로 질화막을 증착한다.
- <42> 이어서, 액티브 패턴을 형성하기 위한 사진식각 공정에 의해 상기 질화막을 건식 식각하여 질화막 패턴(104)을 형성한다. 상기 질화막 패턴(104)을 식각 마스크로 이용하여 상기 패드 산화막을 건식 식각하여 패드 산화막 패턴(102)을 형성한다. 계속해서, 상기 질화막 패턴(104)을 식각 마스크로 이용하여 노출된 기판(100)을 소정 깊이로 식각하여 트렌치(106)를 형성한다.
- <43> 여기서, 상기 액티브 패턴용 사진식각 공정의 마진을 높이기 위하여 상기 질화막 상에 반사 방지층(anti-reflection layer; ARL)(도시하지 않음)을 형성할 수도 있다.
- <44> 도 4b를 참조하면, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상을 큐어링하기 위하여 트렌치(106)의 노출된 부분을 산화 분위기에서 열처리한다. 그러면, 노출된 실리콘과 산화제와의 산화 반응에 의해, 트렌치(106)의 바닥면과 측벽을 포함하는 내면 상에 트렌치 내벽산화막(108)이 형성된다.
- <45> 이어서, 후속 산화 공정에서 산소(O_2)가 트렌치 내벽 산화막(108)으로 침투하여 트렌치의 내벽을 추가 산화시키는 것을 방지하기 위하여 상기 질화막 패턴(104) 및 트렌치 내벽 산화막(108) 상에 질화막으로 이루어진 라이너(110)를 LPCVD 방법에 의해 약 35~45Å의 두께로 증착한다. 또한, 필요에 따라, 후속하는 트렌치 매립 산화막의 증착시 상기 질화막 라이너(110)가 손상되는 것을 방지하기 위하여 질화막 라이너(110) 상에 산화막(도시하지 않음)을 약 100Å의 두께로 증착할 수 있다.

- <46> 이어서, 상기 트렌치(106)를 채우도록 언도프트 실리케이트 글래스(undoped silicate glass; USG), 오존-테트라에틸오소실리케이트 USG(O_3 -TEOS USG) 또는 고밀도 플라즈마(high density plasma; HDP) 산화막과 같은 갭 매립 특성이 우수한 산화막을 CVD 방법으로 증착하여 트렌치 매립 산화막(112)을 형성한다. 바람직하게는, SiH_4 , O_2 및 Ar 가스를 플라즈마 소오스로 이용하여 고밀도 플라즈마를 발생시킴으로써 고밀도 플라즈마 산화막을 형성한다.
- <47> 도 4c를 참조하면, 상기 질화막 패턴(104)의 상부 표면까지 상기 트렌치 매립 산화막(112)을 화학 기계적 연마(CMP) 또는 에치백 방법으로 제거한다. 바람직하게는, CMP 공정을 사용한다. 상기한 공정의 결과로, 상기 트렌치(106)의 내부에만 트렌치 매립 산화막(112)이 잔류하게 됨으로써, 트렌치(106)의 내벽에 질화막 라이너(110)가 형성된 STI 영역(114)과 활성 영역(115)이 형성된다.
- <48> 이어서, 인산과 같은 질화물 에천트를 이용한 습식 식각 공정으로 상기 질화막 패턴(104)을 제거한 후, 불산(hydrofluoric acid; HF)과 같은 산화물 에천트를 이용한 습식 식각 공정으로 상기 패드 산화막 패턴(102)을 제거한다.
- <49> 도 4d를 참조하면, 불산(hydrofluoric acid; HF)이나 SC-1(Standard Cleaning; NH_4OH 와 H_2O_2 및 H_2O 가 1:4:20의 비로 혼합된 유기물)을 이용한 습식 세정을 실시한 후, 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정, 즉 건식 산화 또는 습식 산화 공정을 실시하여 상기 활성 영역(115)의 표면에 게이트 산화막(116)을 형성한다. 건식 산화의 경우, 약 $780 \sim 900^\circ C$ 의 온도에서 O_2 가스, O_2/N_2 가스, O_2/N_2O 가스 및 O_2/NO 가

스의 군에서 선택된 어느 하나를 이용하여 산화 공정을 진행한다. 습식 산화의 경우, 약 780~850℃의 온도에서 H_2/O_2 가스 또는 $H_2O(g)$ 를 이용하여 산화 공정을 진행한다.

<50> 도 4e를 참조하면, 상술한 바와 같이 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정으로 게이트 산화막(116)을 형성한 후, 염소(Cl)를 포함한 제2 가스(118) 분위기에서 상기 게이트 산화막(116)을 어닐링한다. 바람직하게는, 상기 제2 가스(118)는 HCl , Cl_2 , C_2HCl_3 , CH_2Cl_2 및 $C_2H_3Cl_3$ 의 군에서 선택된 어느 하나이다. 상기 어닐링은 약 850~900℃의 온도에서 로 열처리 또는 급속 열처리(RTA)로 수행된다.

<51> 바람직하게는, 상기 게이트 산화막(116)을 형성하기 위한 산화 공정과 상기 어닐링 공정을 인-시튜로 진행한다. 그러나, 경우에 따라서는 상기 산화 공정과 상기 어닐링 공정을 서로 다른 공정 챔버에서 진행할 수도 있다.

<52> 상기 산화 공정과 어닐링 공정을 인-시튜로 진행하는 경우에 대해 좀더 상세히 설명하고자 한다.

<53> 즉, 기판(100)을 산화 공정 챔버에 로딩한 후, 공정 온도를 850℃ 정도로 승온시킨다. 이어서, 염소를 포함하지 않는 제1 가스 분위기, 즉 O_2 , O_2/N_2 , O_2/N_2O 또는 O_2/NO 의 건식 산화 분위기나 H_2/O_2 또는 $H_2O(g)$ 의 습식 산화 분위기에서 산화 공정을 진행하여 상기 기판(100) 상에 게이트 산화막(116)을 형성한다. 이때, 상기 활성 영역(115)의 중앙부 대 엣지부의 게이트 산화막(116) 두께의 비율이 1:1 ~ 1:1.5가 되도록 산화 공정을 진행한다. 이와 같이 게이트 산화막(116)을 염소를 포함하지 않는 산화 공정, 즉 건식 산화 또는 습식 산화 공정으로 형성함으로써, 활성 영역(115)의 엣지에서 게이트 산화막(116)이 두꺼워지는 것을 방지한다.

- <54> 이어서, 질소(N_2) 가스를 상기 공정 챔버로 공급하여 챔버 내의 잔류 가스들을 퍼지(purge)하면서 공정 온도를 $900^{\circ}C$ 정도로 승온시킨다. 퍼지 단계가 완료되면, 염소를 포함한 제2 가스 분위기, 즉 HCl , Cl_2 , C_2HCl_3 , CH_2Cl_2 또는 $C_2H_3Cl_3$ 가스 분위기에서 상기 게이트 산화막(116)을 어닐링한다. 그러면, 상기 어닐링에 의해 게이트 산화막(116)과 실리콘 기판(100)과의 계면 또는 게이트 산화막(116) 내에 존재하는 불완전한 결합(dangling bond)들이 염소와 결합됨으로써, 게이트 산화막(116) 내의 표면 결함 및 실리콘 전위 등을 복구시키고 누설 전류를 유발시키는 중금속을 제거하여 게이트 산화막의 품질을 향상시킬 수 있다. 또한, TDDB 특성 및 TZDB 특성이 모두 우수한 게이트 산화막(116)을 얻을 수 있다.
- <55> 도 5a 내지 도 5d는 본 발명의 제2 실시예에 의한 반도체 장치의 듀얼-게이트 산화막 형성방법을 설명하기 위한 단면도들이다.
- <56> 도 5a를 참조하면, 셀 영역과 주변회로 영역을 갖는 반도체 기판(200) 상에 상술한 제1 실시예(도 4a~도 4c)와 동일한 방법으로 트렌치(206)의 내벽에 질화막 라이너(210)가 형성된 STI 영역(214)을 형성함으로써, 상기 기판(200) 상에 활성 영역(215)을 한정한다. 여기서, 참조부호 208은 트렌치 내벽 산화막(208)을 나타낸다. 바람직하게는, 상기 질화막 라이너(210)는 약 $35\sim 45\text{\AA}$ 의 두께로 형성된다.
- <57> 이어서, 불산(HF)이나 SC-1을 이용한 습식 세정 공정을 실시한 후, 염소를 포함하지 않는 제1 가스 분위기의 산화 공정, 즉 건식 산화 또는 습식 산화 공정을 실시하여 상기 활성 영역(215)의 표면에 약 73\AA 의 두께를 갖는 제1 게이트 산화막(216)을 형성한다. 건식 산화의 경우, 약 $780\sim 900^{\circ}C$ 의 온도에서 0

H_2 가스, O_2/N_2 가스, O_2/N_2O 가스 및 O_2/NO 가스의 군에서 선택된 어느 하나를 이용하여 산화 공정을 진행한다. 습식 산화의 경우, 약 $780\sim 850^\circ\text{C}$ 의 온도에서 H_2/O_2 가스 또는 $H_2O(g)$ 중의 어느 하나를 이용하여 산화 공정을 진행한다. 이때, 활성 영역(215)의 중앙부 대 엣지부의 제1 게이트 산화막(216) 두께의 비율이 $1:1 \sim 1:1.5$ 가 되도록 상기 산화 공정을 진행한다. 이와 같이 제1 게이트 산화막(216)을 염소를 포함하지 않는 산화 공정, 즉 건식 산화 또는 습식 산화 공정으로 형성함으로써, 활성 영역(215)의 엣지에서 제1 게이트 산화막(216)이 두꺼워지는 것을 방지한다.

<58> 이와 같이 염소를 포함하지 않는 제1 가스 분위기의 산화 공정으로 제1 게이트 산화막(216)을 형성한 후, 염소를 포함한 제2 가스 분위기에서 상기 제1 게이트 산화막(216)을 어닐링한다. 바람직하게는, 상기 제2 가스는 HCl , Cl_2 , C_2HCl_3 , CH_2Cl_2 및 $C_2H_3Cl_3$ 의 군에서 선택된 어느 하나이다. 상기 어닐링은 약 $850\sim 900^\circ\text{C}$ 의 온도에서 로 열처리 또는 급속 열처리(RTA) 중의 어느 하나로 수행된다. 바람직하게는, 상기 제1 게이트 산화막(216)을 형성하기 위한 산화 공정과 상기 어닐링 공정을 인-시튜로 진행한다. 그러나, 경우에 따라서는 상기 산화 공정과 상기 어닐링 공정을 서로 다른 공정 챔버에서 진행할 수도 있다. 상기 어닐링 공정에 의해 제1 게이트 산화막(216)과 실리콘 기판(200)과의 계면 또는 제1 게이트 산화막(216) 내에 존재하는 불완전한 결합들이 염소와 결합됨으로써, 제1 게이트 산화막(216) 내의 표면 결함 및 실리콘 전위 등을 복구시키고 누설 전류를 유발시키는 중금속을 제거하여 제1 게이트 산화막의 품질을 향상시킬 수 있다. 또한, TDDB 특성 및 TZDB 특성이 모두 우수한 제1 게이트 산화막(216)을 얻을 수 있다.

- <59> 도 5b를 참조하면, 제1 게이트 산화막(216)이 형성된 기판(200)의 전면에 포토레지스트막을 도포한 후, 이를 노광 및 현상하여 얇은 게이트 산화막이 요구되는 영역, 예컨대 주변회로 영역을 오픈시키는 포토레지스트 패턴(218)을 형성한다.
- <60> 상기 포토레지스트 패턴(218)을 식각 마스크로 이용한 습식 식각 공정으로 상기 주변회로 영역의 제1 게이트 산화막(216)을 제거한다.
- <61> 도 5c를 참조하면, 에칭 및 스트립 공정으로 상기 포토레지스트 패턴(218)을 제거한 후, 불산(HF) 및 SC-1을 이용한 습식 세정 공정을 실시한다. 상기 세정 공정을 통해 셀 영역의 제1 게이트 산화막(216)이 소정 두께만큼 식각된다.
- <62> 도 5d를 참조하면, 결과물 상에 산화 공정, 예컨대 O_2/HCl 가스를 이용한 염산 산화 공정을 실시하여 주변회로 영역에 상기 제1 게이트 산화막(216)의 두께보다 작은 두께, 예컨대 약 54\AA 의 두께를 갖는 제2 게이트 산화막(220)을 형성한다. 이때, 상기 제1 게이트 산화막(216)이 형성되어 있는 셀 영역에서도 산화 공정이 일어나 제1 게이트 산화막(216)의 두께가 83\AA 정도로 두꺼워진다. 따라서, 셀 영역에는 두꺼운 제1 게이트 산화막(216)이 형성되고, 주변회로 영역에는 얇은 제2 게이트 산화막(220)이 형성된다. 이와 같이 셀 영역의 제1 게이트 산화막(216) 두께를 증가시켜 셀 트랜지스터의 문턱 전압을 보상할 수 있으므로, 채널 이온주입 도즈를 감소시켜 스택 리프레쉬를 개선시키고 게이트 산화막의 품질을 향상시킬 수 있다.
- <63> 상술한 본 발명의 제2 실시예는 제1 게이트 산화막을 염소를 포함하지 않는 건식 또는 습식 산화 공정 및 염소를 포함한 어닐링 공정으로 형성하고 제2 게이트 산화막을 염산 산화법으로 형성하는 듀얼-게이트 산화막 공정을 예시하고 있으나, 본 발명의 바람직한 다른 실시예에 의하면 상기 제2 게이트 산화막을 제1 게이트 산화막과 마찬가지로

염소를 포함하지 않는 건식 또는 습식 산화 공정으로 형성한 후 염소를 포함한 가스 분위기에서 제2 게이트 산화막을 어닐링할 수 있다.

<64> 도 6a 및 도 6b는 각각 종래 방법 및 본 발명에 의한 듀얼-게이트 산화막 형성방법에 있어서, STI 영역의 프로파일을 나타낸 단면도들이다.

<65> 도 6a의 종래 방법에 의하면, 트렌치의 내벽 상에 트렌치 내벽 산화막(14) 및 질화막 라이너(16)가 적층되어 있는 STI 영역(18)에 의해 활성 영역(12)이 한정된 실리콘 기판 상에 O_2/HCl 가스를 이용한 염산 산화법으로 약 73Å의 제1 게이트 산화막(20)을 형성한다. 이어서, 사진 공정 및 습식 식각 공정을 통해 얇은 게이트 산화막이 요구되는 영역, 예컨대 주변회로 영역의 제1 게이트 산화막(20)을 제거한 후, 습식 세정 공정을 실시한다. 그런 다음, O_2/HCl 가스를 이용한 염산 산화법으로 주변회로 영역 상에 약 54Å의 제2 게이트 산화막(도시하지 않음)을 형성한다. 이때, 셀 영역의 제1 게이트 산화막(20)의 두께가 83Å 정도로 두꺼워진다.

<66> 이와 같이 염산 산화법으로 제1 게이트 산화막을 형성하면, 질화막 라이너(16)에 의해 트렌치 내벽 산화막(14)에 횡방향으로 압축 변형력이 가해져서 활성 영역의 엣지 쪽으로 HCl 의 농도가 국부적으로 증가하게 된다. 이와 같이 HCl 의 농도가 증가하면 산화막의 성장률이 증가하게 되므로, 활성 영역의 엣지(A)에서 제1 게이트 산화막(20)의 두께가 두꺼워지게 된다. 이에 따라, 트랜지스터의 게이트 전극에 문턱 전압을 인가하였을 때 전류의 경로로 작용하는 유효 채널 폭이 감소하여 포화 전류(I_{dsat})의 감소 및 동작 속도의 저하를 초래하게 된다.

<67> 도 6b의 본 발명에 의하면, 트렌치의 내벽 상에 트렌치 내벽 산화막(208) 및 질화막 라이너(210)가 적층되어 있는 STI 영역(214)에 의해 활성 영역(215)이 한정된 실리콘 기판 상에 염소를 포함하지 않는 가스 분위기의 산화 공정, 즉 건식 또는 습식 산화 공정으로 약 73Å의 제1 게이트 산화막(216)을 형성한 후, 염소를 포함한 가스 분위기에서 상기 제1 게이트 산화막(216)을 어닐링한다. 이어서, 사진 공정 및 습식 식각 공정을 통해 얇은 게이트 산화막이 요구되는 영역, 예컨대 주변회로 영역의 제1 게이트 산화막(216)을 제거한 후, 습식 세정 공정을 실시한다. 그런 다음, O_2/HCl 가스를 이용한 염산 산화법으로 주변회로 영역 상에 약 54Å의 제2 게이트 산화막(도시하지 않음)을 형성한다. 이때, 셀 영역의 제1 게이트 산화막(216)의 두께가 83Å 정도로 두꺼워진다.

<68> 이와 같이 염소를 포함하지 않는 가스 분위기의 산화 공정으로 제1 게이트 산화막(216)을 형성하면, 활성 영역(215)의 엣지(B)에서 제1 게이트 산화막(216)이 두꺼워지지 않으므로 유효 채널 폭의 감소를 방지할 수 있다. 이 상태에서 염소를 포함한 가스 분위기로 제1 게이트 산화막(216)을 어닐링하면, 제1 게이트 산화막(216)과 기판과의 계면 또는 제1 게이트 산화막(216) 내에 존재하는 불완전한 결합들이 염소와 결합됨으로써, 제1 게이트 산화막(216) 내의 표면 결함 및 실리콘 전위 등을 복구시키고 누설 전류를 유발시키는 중금속을 제거하여 제1 게이트 산화막(216)의 품질을 향상시킬 수 있다. 또한, 제1 게이트 산화막(216)의 TDDB 특성 및 TZDB 특성을 모두 개선시킬 수 있다.

【발명의 효과】

<69> 상술한 바와 같이 본 발명에 의하면, 트렌치의 내벽에 라이너가 형성되는 STI 구조를 갖는 반도체 장치에 있어서, 염소를 포함하지 않는 가스 분위기, 즉 건식 산화법이나

습식 산화법으로 게이트 산화막을 형성한 후 염소를 포함하는 가스 분위기에서 상기 게이트 산화막을 어닐링한다.

<70> 따라서, 활성 영역의 엣지에서 게이트 산화막이 두꺼워지는 것을 방지하여 유효 채널 폭을 증가시킬 수 있고, 염소를 포함한 어닐링 공정으로 양호한 품질의 게이트 산화막을 구현할 수 있다.

<71> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

트렌치의 내벽에 라이너가 형성된 트렌치 소자분리 영역에 의해 활성 영역이 한정된 반도체 기판 상에 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정으로 게이트 산화막을 형성하는 단계; 및

염소를 포함하는 제2 가스 분위기에서 상기 게이트 산화막을 어닐링하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 2】

제1항에 있어서, 상기 제1 가스는 O_2 가스, O_2/N_2 가스, O_2/N_2O 가스 및 O_2/NO 가스의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 3】

제2항에 있어서, 상기 제1 가스 분위기의 산화 공정은 $780\sim 900^\circ\text{C}$ 의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 4】

제1항에 있어서, 상기 제1 가스는 H_2/O_2 가스 또는 $H_2O(g)$ 인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 5】

제4항에 있어서, 상기 제1 가스 분위기의 산화 공정은 $780\sim 850^\circ\text{C}$ 의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 6】

제1항에 있어서, 상기 게이트 산화막을 형성하는 단계에서, 상기 활성 영역의 중앙 부 대 엷지부의 게이트 산화막 두께의 비율이 1:1 ~ 1:1.5가 되도록 산화 공정을 진행하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 7】

제1항에 있어서, 상기 제2 가스는 HCl , Cl_2 , C_2HCl_3 , CH_2Cl_2 및 $\text{C}_2\text{H}_3\text{Cl}_3$ 의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 8】

제1항에 있어서, 상기 어닐링 단계는 로(furnace) 열처리 또는 급속 열처리(RTA)를 사용하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 9】

제1항에 있어서, 상기 어닐링 단계는 $850 \sim 900^\circ\text{C}$ 의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 10】

제1항에 있어서, 상기 게이트 산화막의 형성 단계와 상기 어닐링 단계는 인-시튜로 진행하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 11】

트렌치의 내벽에 라이너가 형성된 트렌치 소자분리 영역에 의해 활성 영역이 정의된 반도체 기판 상에 염소(Cl)를 포함하지 않는 제1 가스 분위기의 산화 공정으로 제1 두께의 제1 게이트 산화막을 형성하는 단계;

염소를 포함하는 제2 가스 분위기에서 상기 제1 게이트 산화막을 어닐링하는 단계 ;

상기 기판 상에 얇은 게이트 산화막이 요구되는 제1 영역을 노출시키는 패턴을 형성하는 단계;

상기 패턴을 식각 마스크로 이용하여 상기 제1 영역의 제1 게이트 산화막을 제거하는 단계;

상기 패턴을 제거하는 단계; 및

상기 기판의 전면에 제3 가스 분위기의 산화 공정으로 상기 제1 두께보다 작은 제2 두께의 제2 게이트 산화막을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 12】

제11항에 있어서, 상기 제1 가스는 O_2 , O_2/N_2 , O_2/N_2O 및 O_2/NO 의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 13】

제12항에 있어서, 상기 제1 가스 분위기의 산화 공정은 $780\sim 900^{\circ}C$ 의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 14】

제11항에 있어서, 상기 제1 가스는 H_2/O_2 또는 $H_2O(g)$ 인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 15】

제14항에 있어서, 상기 제1 가스 분위기의 산화 공정은 780~850℃의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 16】

제11항에 있어서, 상기 제1 게이트 산화막을 형성하는 단계에서, 상기 활성 영역의 중앙부 대 엣지부의 제1 게이트 산화막의 두께 비율이 1:1 ~ 1:1.5가 되도록 산화 공정을 진행하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 17】

제11항에 있어서, 상기 제2 가스는 HCl, Cl₂, C₂HCl₃, CH₂Cl₂ 및 C₂H₃Cl₃의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 18】

제11항에 있어서, 상기 제1 게이트 산화막을 어닐링하는 단계는 로(furnace) 열처리 또는 급속 열처리(RTA)를 사용하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 19】

제11항에 있어서, 상기 제1 게이트 산화막을 어닐링하는 단계는 850~900℃의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 20】

제11항에 있어서, 상기 제1 게이트 산화막의 형성 단계와 상기 제1 게이트 산화막의 어닐링 단계는 인-시튜로 진행되는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 21】

제11항에 있어서, 상기 제3 가스 분위기는 염소를 포함하지 않는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 22】

제21항에 있어서, 상기 제3 가스는 O_2 , O_2/N_2 , O_2/N_2O 및 O_2/NO 의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 23】

제21항에 있어서, 상기 제3 가스는 H_2/O_2 또는 $H_2O(g)$ 인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 24】

제21항에 있어서, 상기 제2 게이트 산화막을 형성하는 단계 후, 염소를 포함하는 제4 가스 분위기에서 상기 제2 게이트 산화막을 어닐링하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 25】

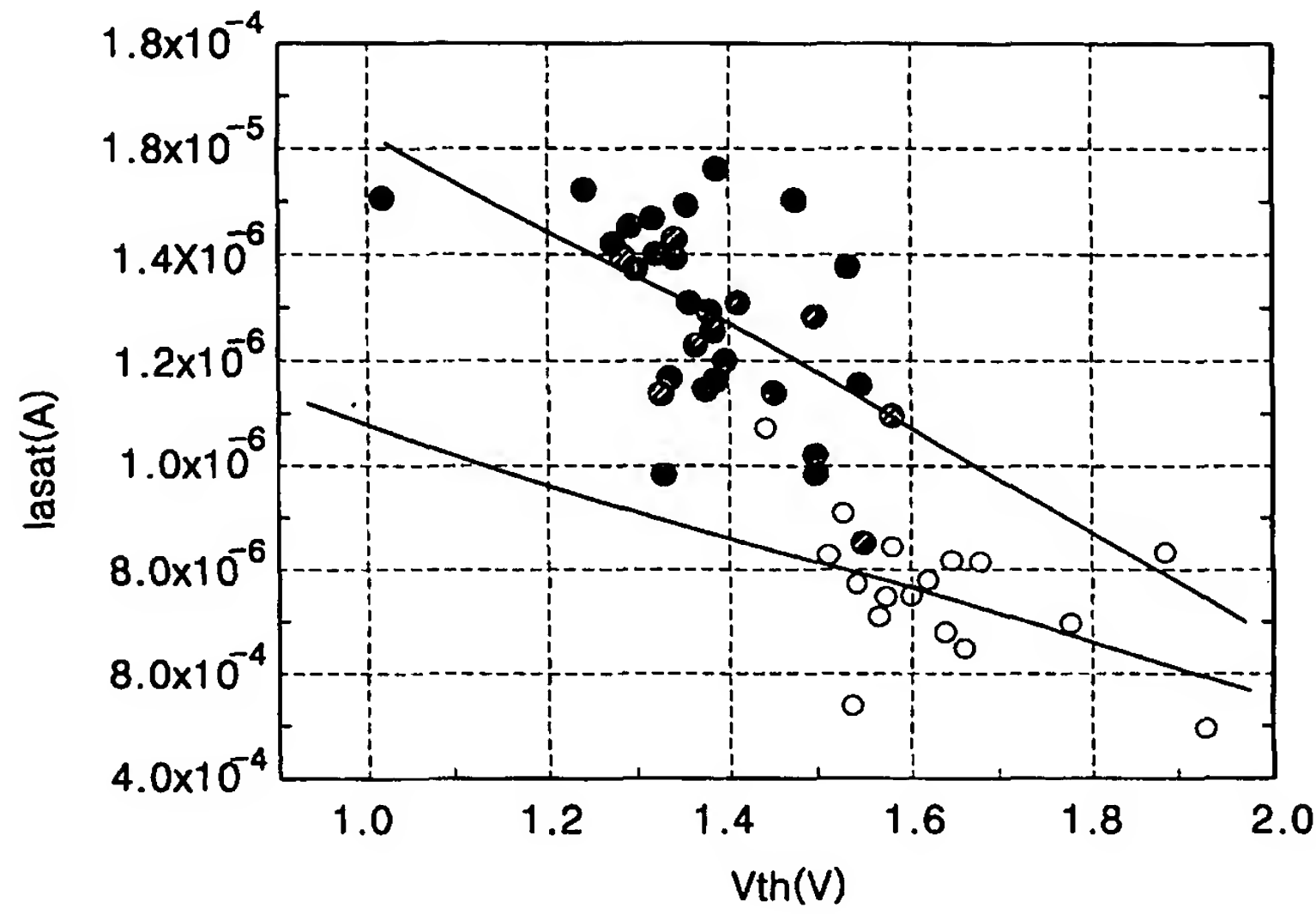
제24항에 있어서, 상기 제4 가스는 HCl , Cl_2 , C_2HCl_3 , CH_2Cl_2 및 $C_2H_3Cl_3$ 의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【청구항 26】

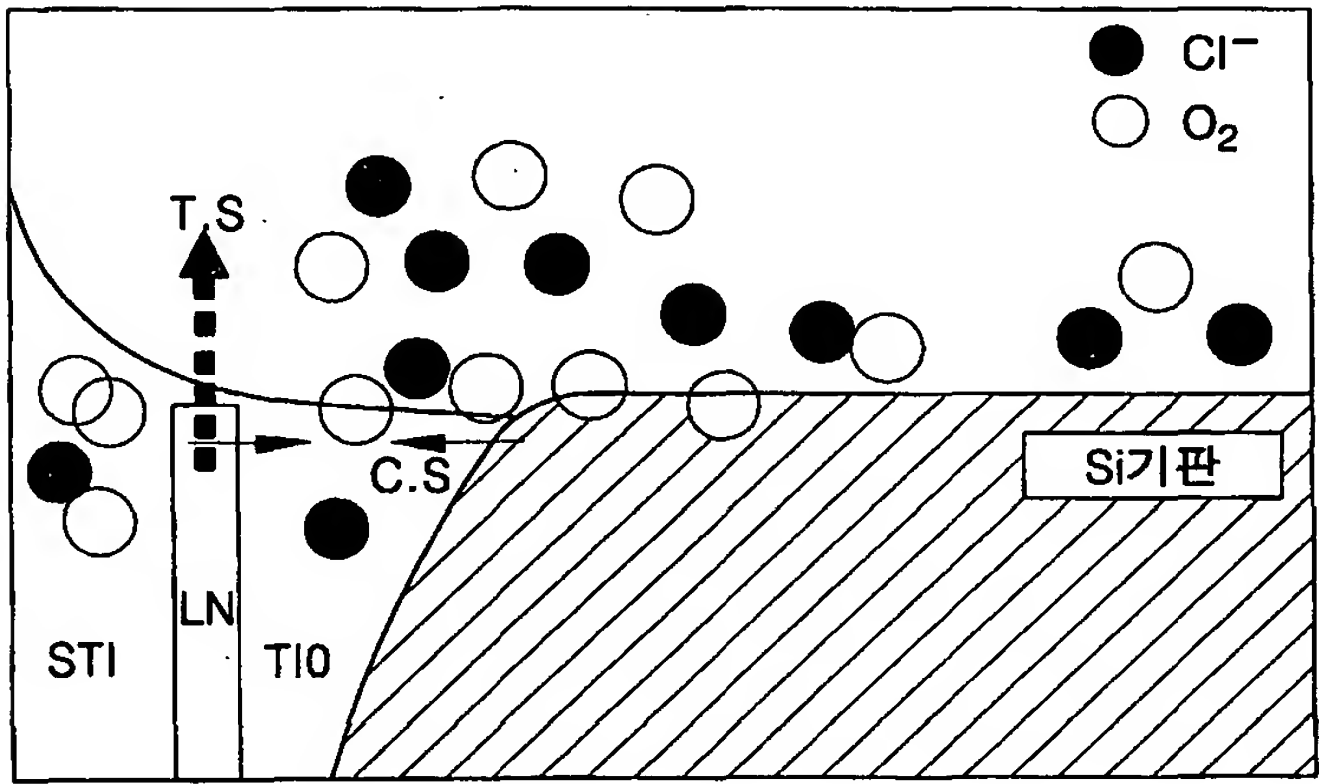
제24항에 있어서, 상기 제2 게이트 산화막의 형성 단계와 상기 제2 게이트 산화막의 어닐링 단계는 인-시튜로 진행하는 것을 특징으로 하는 반도체 장치의 게이트 산화막 형성방법.

【도면】

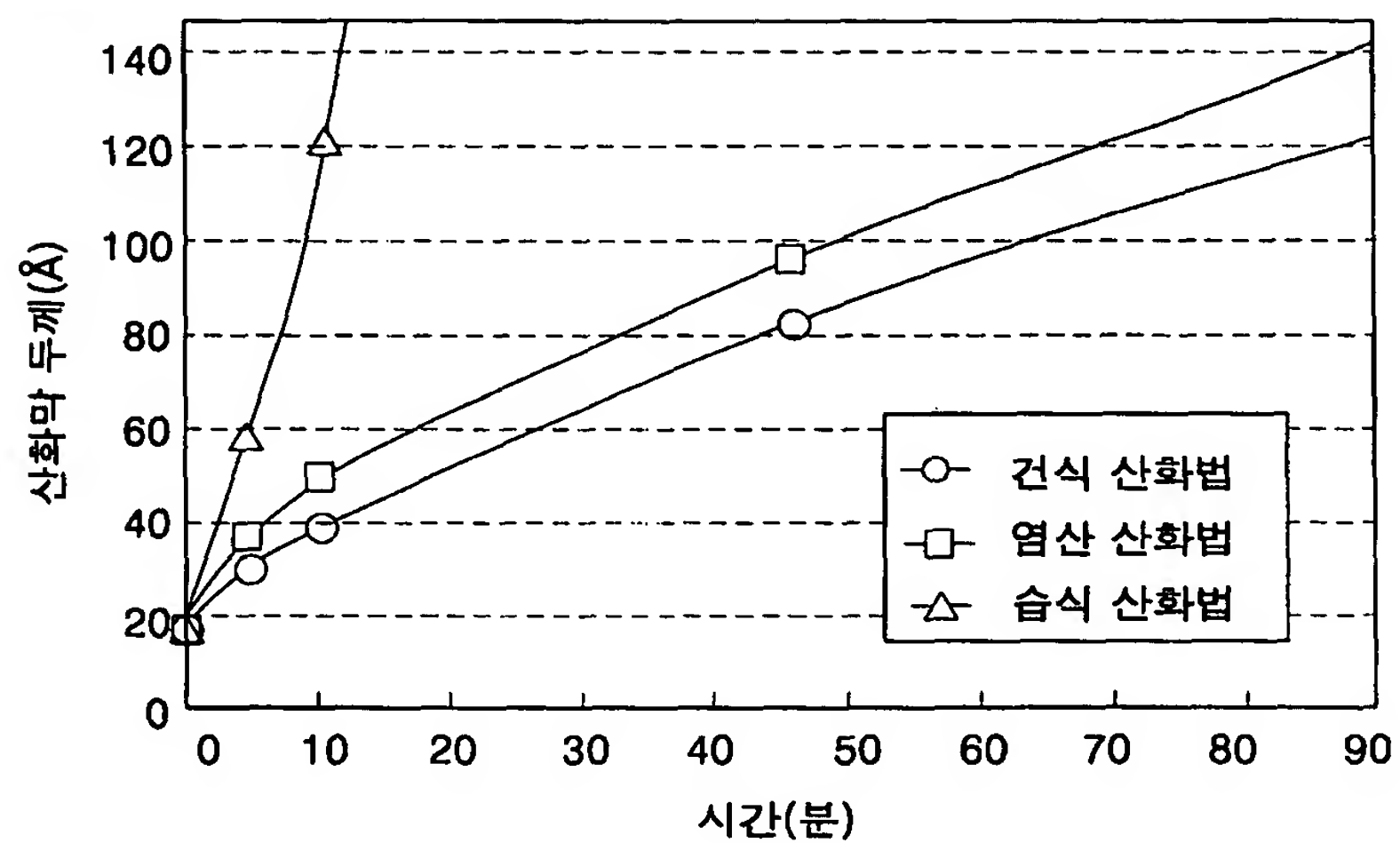
【도 1】



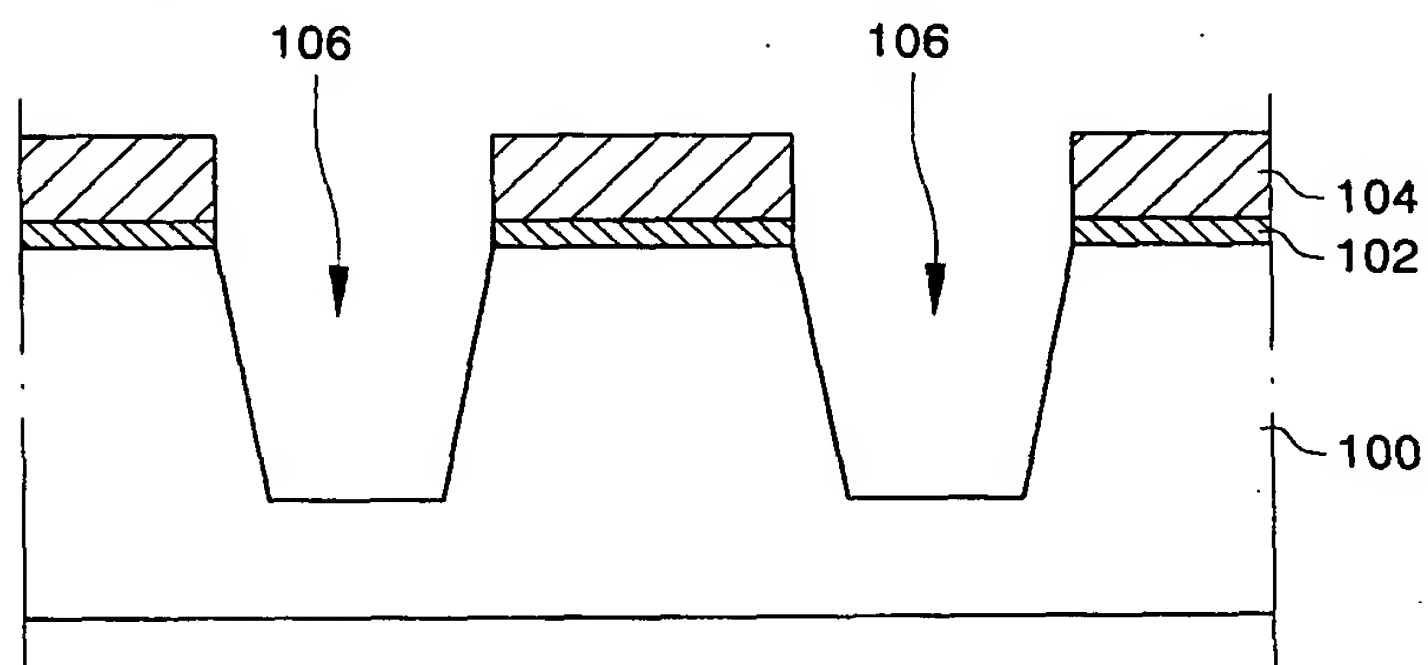
【도 2】



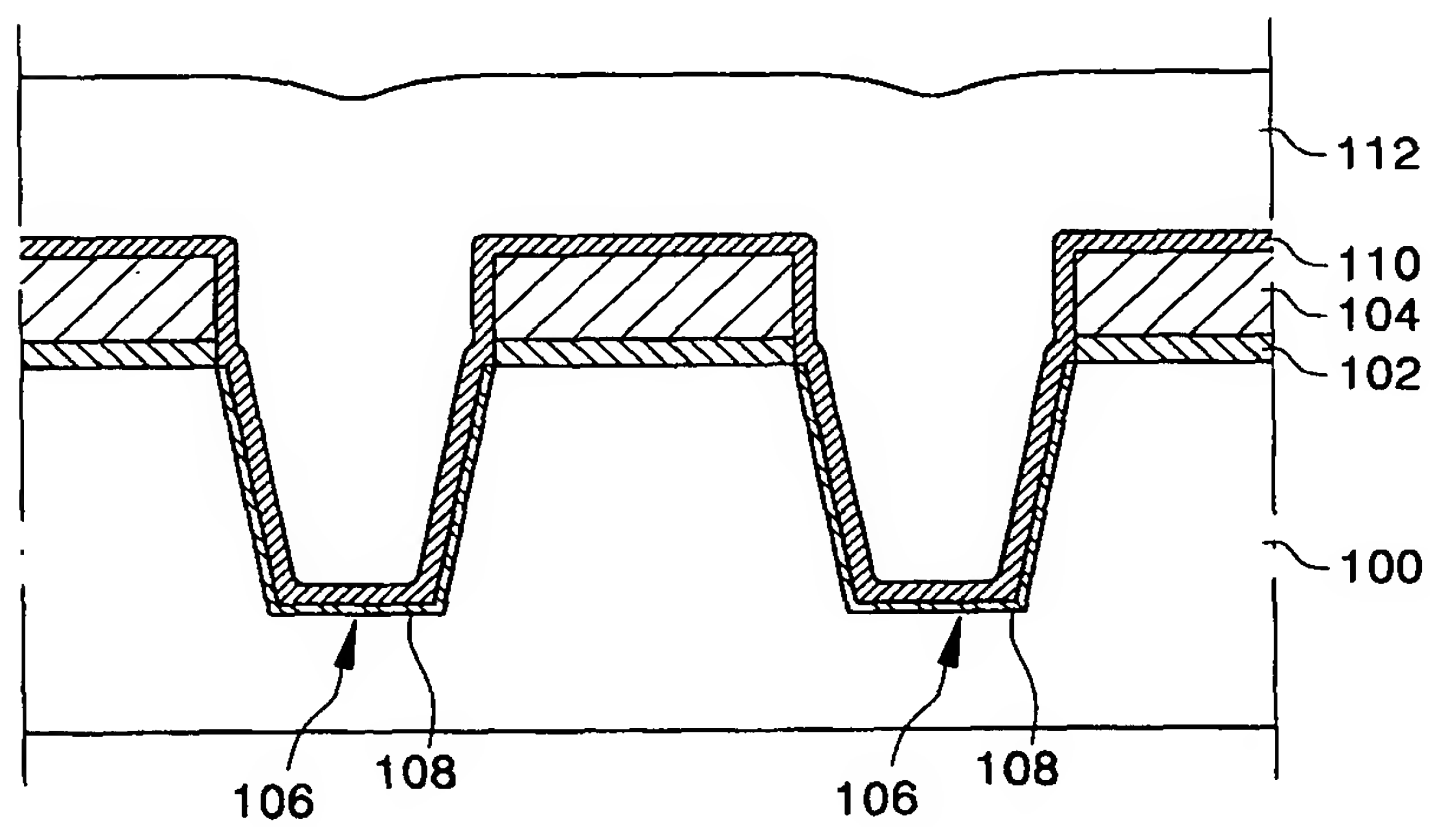
【도 3】



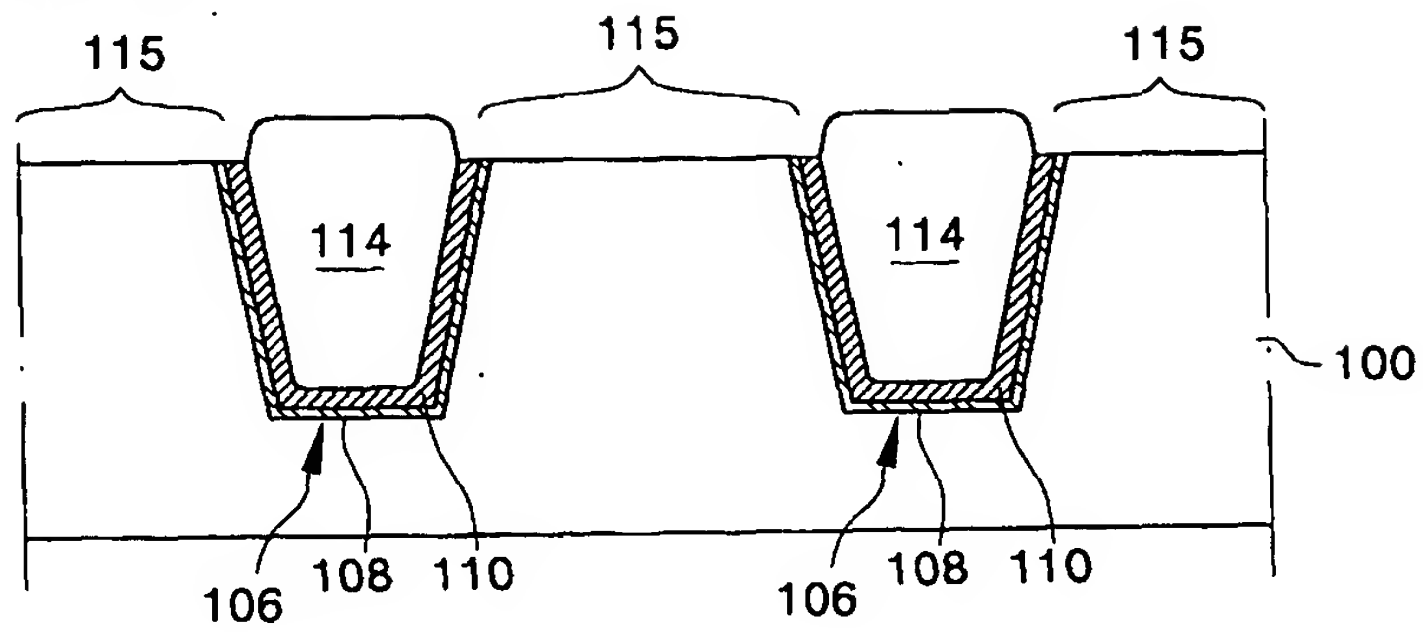
【도 4a】



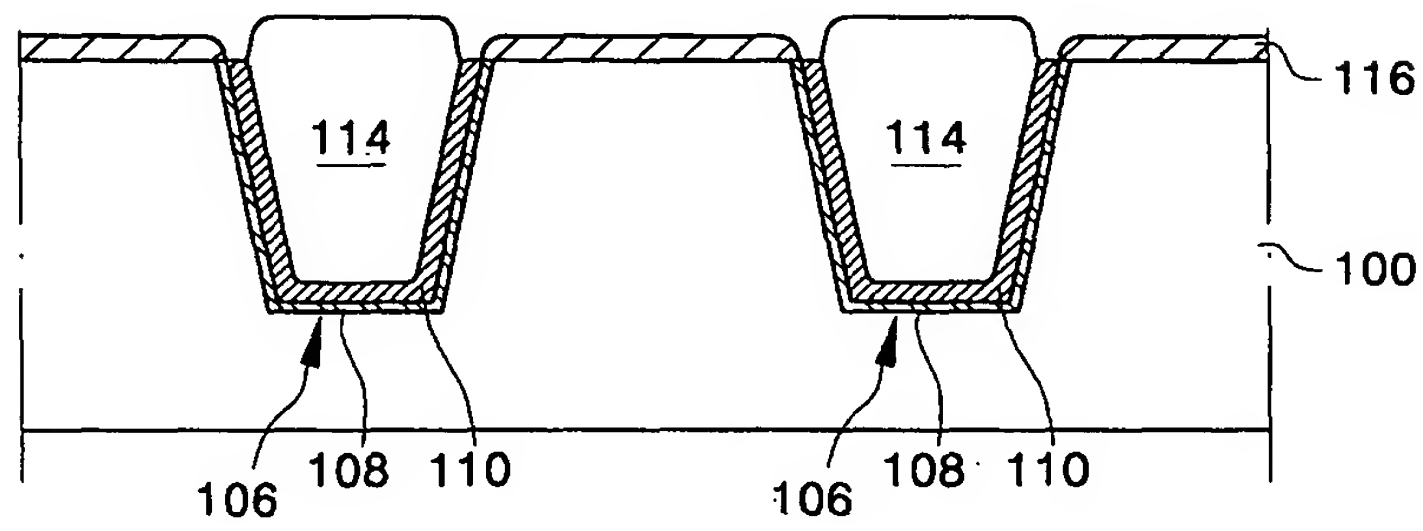
【도 4b】



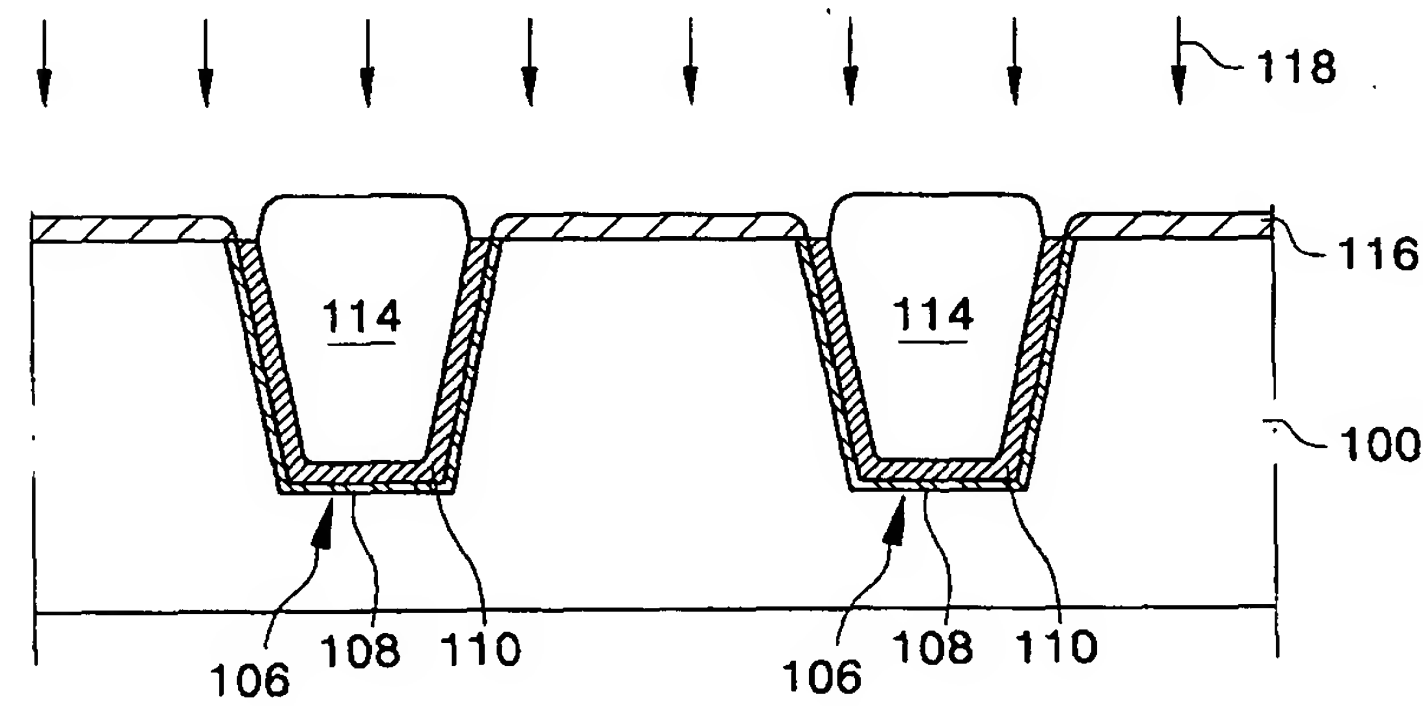
【도 4c】



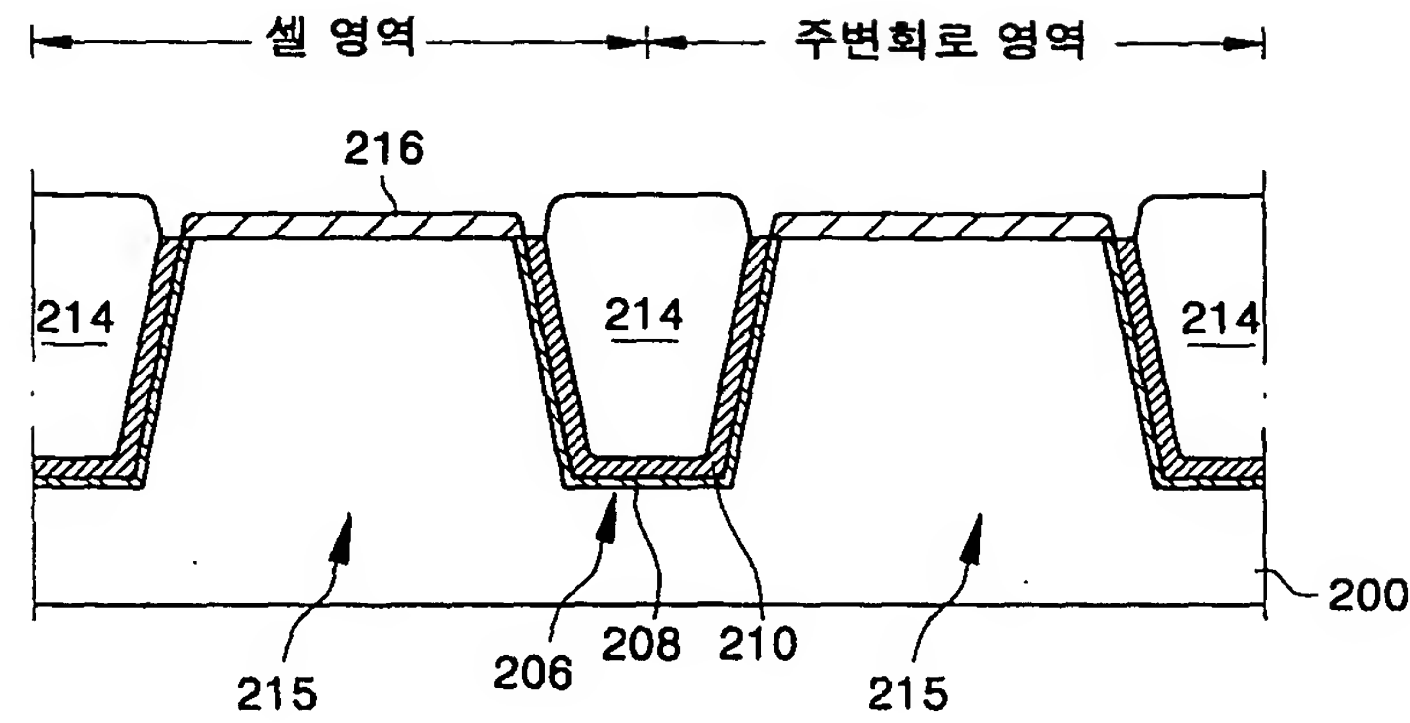
【도 4d】



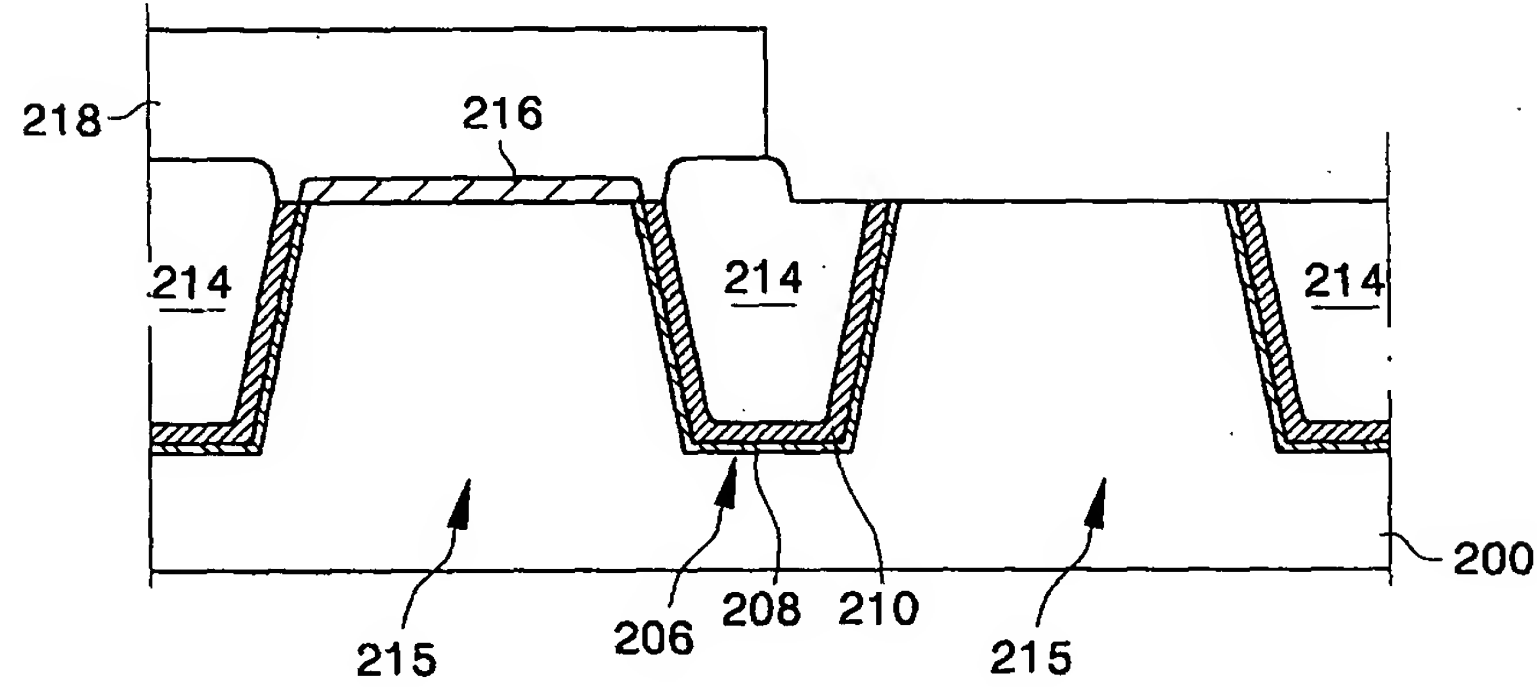
【도 4e】



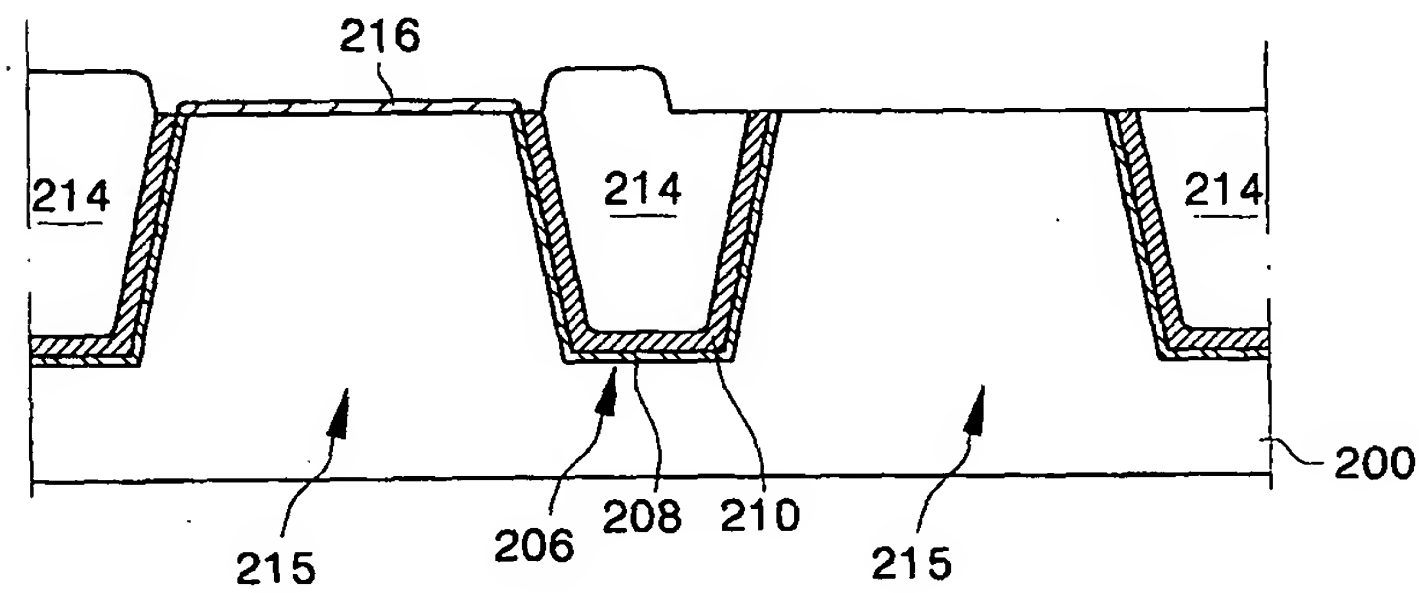
【도 5a】



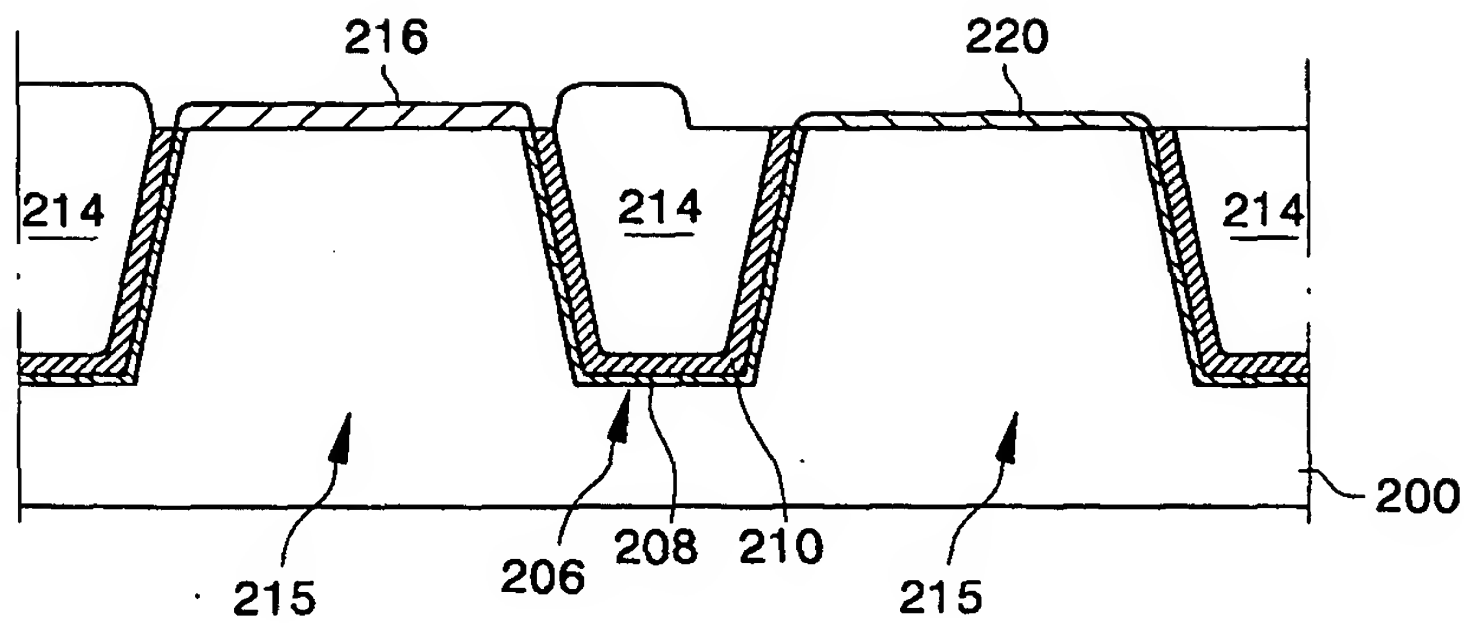
【도 5b】



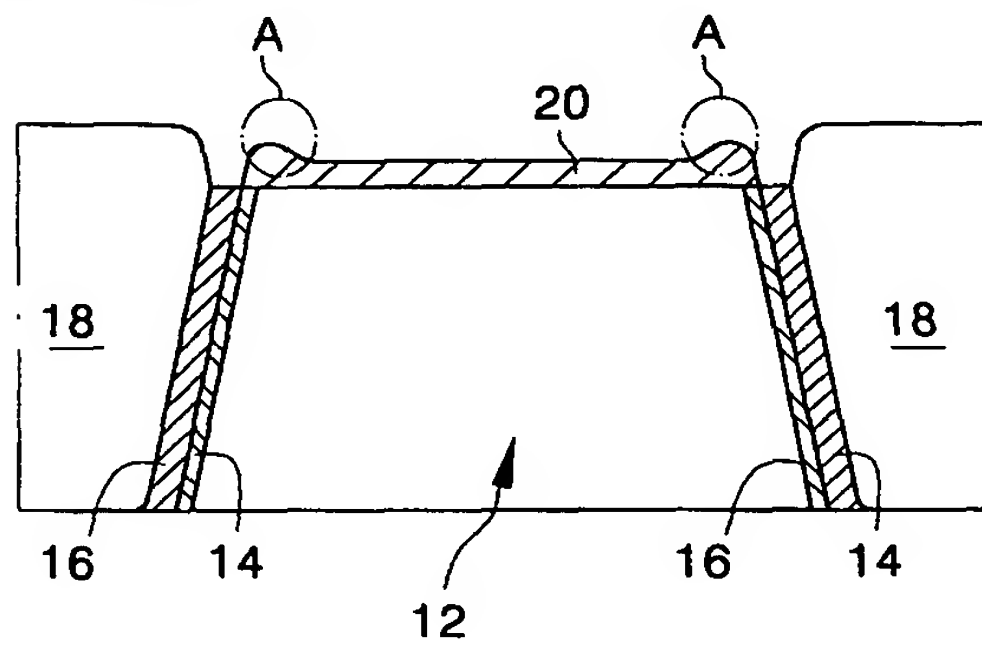
【도 5c】



【도 5d】



【도 6a】



【도 6b】

